

WEST

Generate Collection

L5: Entry 2 of 6

File: JPAB

Oct 18, 1996

PUB-NO: JP408272501A
DOCUMENT-IDENTIFIER: JP 08272501 A
TITLE: TERMINATION CIRCUIT OF MEMORY MODULE

PUBN-DATE: October 18, 1996

INVENTOR-INFORMATION:

NAME

COUNTRY

MATSUOKA, TAKASHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TAKAOKA ELECTRIC MFG CO LTD

APPL-NO: JP07097671

APPL-DATE: March 31, 1995

INT-CL (IPC): G06 F 3/00; G11 C 5/00

ABSTRACT:

PURPOSE: To enable the effective termination of a bus signal to be executed regardless of the mounting conditions of a memory module at the time of constituting an electronic computer main memory by the memory module.

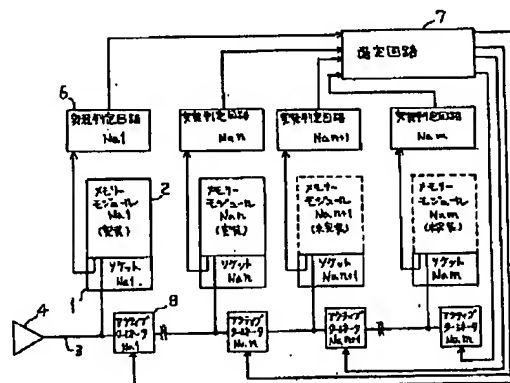
CONSTITUTION: The termination circuit is constituted of a mounting judging circuit 6 judging whether or not the memory modules 2 are mounted on respective sockets 1 and a selecting circuit 7 selecting the one which is located farthest from the output end of a bus signal drive IC4 within the memory modules 2 judged to be mounted by the mounting judging circuit 6 so as to operate an active terminator 8 which is fitted in the neighborhood of the socket 1 for the memory module 2.

COPYRIGHT: (C)1996,JPO

(11)特許出願公開番号

(43)公開日 平成8年(1996)10月18日

審査請求 未請求 請求項の数1 FD (全 4 頁)



【特許請求の範囲】

【請求項1】メモリーモジュールが各ソケットに実装されているか否かを判定する実装判定回路と、この実装判定回路により実装されていると判定されたメモリーモジュールのうち、バス信号ドライブICの出力端から最も遠いメモリーモジュールを選定して、そのメモリーモジュール用のソケットの近傍に取り付けられたアクティブターミネータを動作させる選定回路とからなるメモリーモジュールのターミネーション回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子計算機のメモリーモジュールのバス信号のターミネーション回路に関する。

【0002】

【従来の技術】電子計算機のメインメモリーをメモリーモジュールで構成する場合、図8に示すように、必要最大数のソケット1を準備し、必要最小数のメモリーモジュール2を実装するのが一般的である。このときバス信号3のターミネーションは、バス信号ドライブIC4の出力端から物理的に最も遠いところ（末端）でターミ

【0003】

ネータ5により行うものである。
【発明が解決しようとする課題】メモリーモジュール2は、バス信号ドライブIC4の出力端から近い順に実装していくわけであるが、このとき準備されたソケット1の数に比べて実装されているメモリーモジュール2が少ない場合が多く、バス信号ドライブIC4の出力端から最も遠いメモリーモジュール2からターミネータ5までの物理的な距離が長くなり、ターミネーションの効果が小さくなる。そこで本発明では、実装されているメモリーモジュールのうちバス信号ドライブICの出力端より最も遠いメモリーモジュールの近傍でターミネーションを行うことで、その効果を上げることを目的とする。

【0004】

【課題を解決するための手段】メモリーモジュールが各ソケットに実装されているか否かを判定する実装判定回路と、この実装判定回路により実装されていると判定されたメモリーモジュールのうち、バス信号ドライブICの出力端から最も遠いメモリーモジュールを選定して、そのメモリーモジュール用のソケットの近傍に取り付けられたアクティブターミネータを動作させる選定回路とから構成する。

【0005】

【作用】各ソケットにメモリーモジュールが実装されているか否かを実装判定回路により判定し、実装されているメモリーモジュールのうちのバス信号ドライブICの出力端から最も遠いメモリーモジュール用のソケットの近傍のアクティブターミネータを選定回路により動作させる。このようにすると、メモリーモジュールの実装状況

に左右されず、バス信号は常に有効にターミネーションされる。

【0006】

【実施例】以下、本発明の実施例を図1ないし図7を参照して説明する。図1は、本発明の実施例のブロック図である。仮にNo. 1からNo. mまでm個のメモリーモジュール2用のソケット1があるとし、No. 1からNo. nまでn個のメモリーモジュール2が実装されているとする。

（ただし、mはnより大きい数とする。）実装判定回路6により各ソケット1にメモリーモジュール2が実装されているか否かを判定する。その結果、No. 1からNo. nまでの実装判定回路6は、実装（出力値：1）を出力し、No. n+1からNo. mまでの実装判定回路6は、未実装（出力値：0）を出力する。これらの実装判定回路6からの出力はすべて選定回路7へ入力され、No. 1からNo. mまでm個のアクティブターミネータ8のうちいずれか一つを選定し、動作信号（出力値：1）を出力する。この例の場合、No. nのアクティブターミネータ8へ動作信号（出力値：1）を出力する。その他のアクティブターミネータ8へは非動作信号（出力値：0）を出力する。これによって、実装されているメモリーモジュール2のうちのバス信号ドライブIC4の出力端から最も遠いメモリーモジュール2用のソケット1（No. nのソケット1）の近傍でターミネーションすることができる。

【0007】図2は、実装判定回路6の一例である。メモリーモジュール2内にあるループ状に配線された信号の片端をGNDレベル（0V）とし、もう片端を直流電圧からプルアップ抵抗9を介し、実装判定の出力とする。メモリーモジュール2が実装されているときは、GNDレベル（出力値：1）が出力され、実装されていないときは、直流電圧レベル（出力値：0）が出力される。

【0008】図3は、選定回路7の一例である。IN1からINmまでが、m個ある実装判定回路6からの各々の出力である。また、ACT1からACTmまでが、m個あるアクティブターミネータ8への各々の出力信号である。たとえば、No. kのアクティブターミネータ8への出力ACTkの真理値表を図中に示す。図中、1は有効を示し、0は無効を示し、Xは不定を示す。図1に示すケースでは、INnの値は1かつINn+1の値は0であるのでACTnの値は1となり、No. nのアクティブターミネータ8が動作となる。

【0009】図4ないし図7は、実装判定回路6のその他の例である。図4は、メモリーモジュール2内にあるループ状に配線された信号の片端を直流電圧レベルとし、もう片端をGND（0V）からプルダウン抵抗10を介し、実装判定の出力とするものである。図5は、メモリーモジュール2内にあるループ状に配線された信号の片端に信号発生器11をつけ、レベルの変化する信号（パルス信号・立ち上がり信号・たち下がり信号）を出

3

力し、その折り返し信号の有無で実装判定するものである。図6は、メモリーモジュール2内のGND(0V)信号を直流電圧からプルアップ抵抗9を介して、実装判定の出力とするものである。図7は、メモリーモジュール2内の直流電圧信号をGND(0V)からプルダウン抵抗10を介し、実装判定の出力とするものである。

【0010】

【発明の効果】このように本発明によれば、各ソケットにメモリーモジュールが実装されていることを判定するとともに、実装されているメモリーモジュールのうちどれがバス信号ドライバICの出力端から最も遠いかを選定して、そのメモリーモジュールの近傍に取り付けられたアクティブターミネータを動作させることで、メモリーモジュールの実装状況に左右されず、バス信号を常に有効にターミネーションすることができる。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である

【図2】実装判定回路の一例を示す図である

【図3】選定回路の一例を示す図である

4

【図4】実装判定回路のその他の例を示す図である

【図5】実装判定回路のその他の例を示す図である

【図6】実装判定回路のその他の例を示す図である

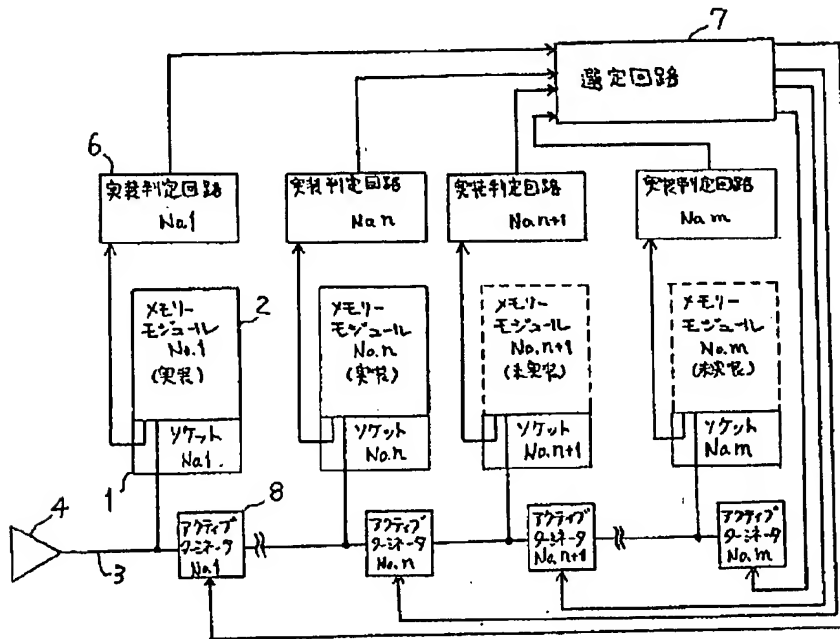
【図7】実装判定回路のその他の例を示す図である

【図8】従来のターミネーション回路を示すブロック図である

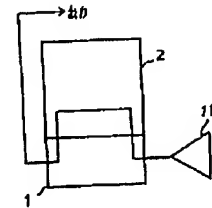
【符号の説明】

- 1 ソケット
- 2 メモリーモジュール
- 3 バス信号
- 4 バス信号ドライバIC
- 5 ターミネータ
- 6 実装判定回路
- 7 選定回路
- 8 アクティブターミネータ
- 9 プルアップ抵抗
- 10 プルダウン抵抗
- 11 信号発生器

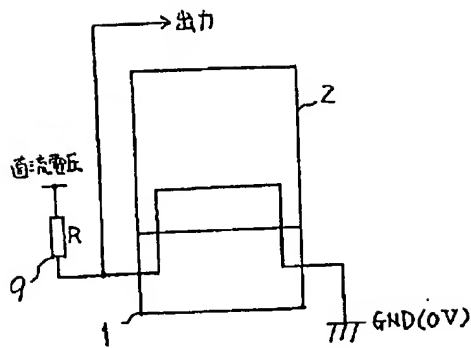
【図1】



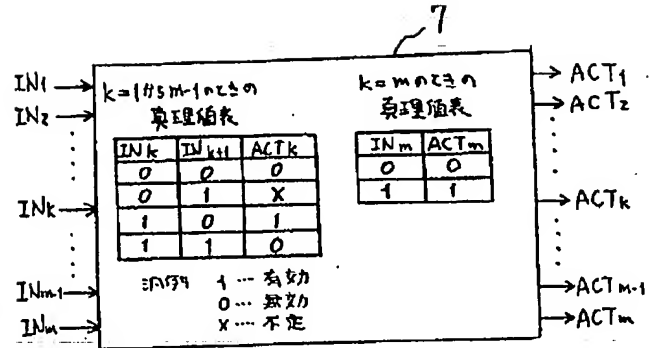
【図5】



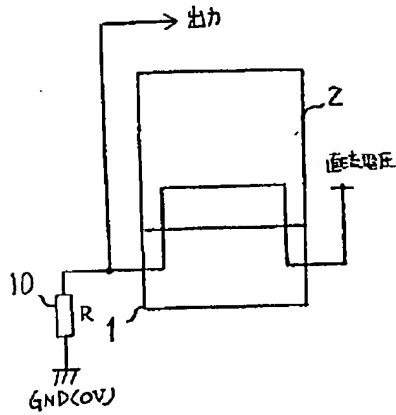
【図2】



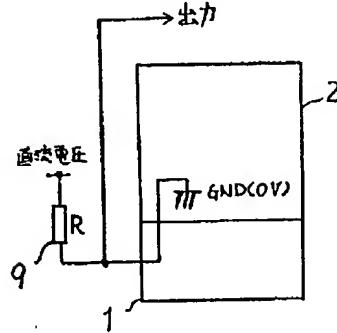
【図3】



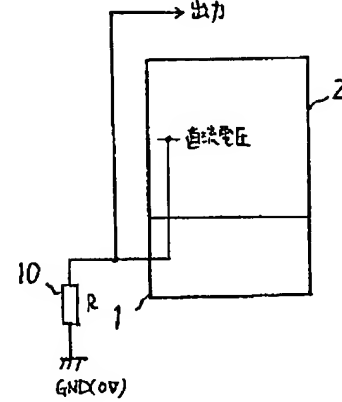
【図4】



【図6】



【図7】



【図8】

